



簡化 USB 音訊設計

通用序列匯流排（USB）標準在消費性電子產品領域中發展迅速，目前可利用 USB 連接性來傳輸和控制數位音訊。USB 可提供足夠的頻寬以支援高品質音訊；其易用性也被消費者廣泛接受，這使得 USB 成為流行的音訊介面。然而，從 USB 通訊埠傳輸音訊資料並不是一項簡單的工作。USB 本身具有複雜的協定，需要很多專業領域知識。此外，其他與音訊相關的設計難題，例如資料串流（data stream）同步、可程式化設計的轉碼器（codec）以及數位類比轉換器（DAC）設定，即使對於經驗豐富的嵌入式和音訊設計人員來說也是艱鉅的挑戰。USB 橋接晶片的出現不僅免除複雜的 USB 軟體開發，同時提供了一種低成本、高整合度的單晶片解決方案，以支援標準的音訊設定介面和同步音訊資料串流方式。

USB 是一種通用介面，可提供多種方法來傳播和控制數位音訊；然而對於產業來說，選擇 USB 音訊傳輸標準機制最重要的考量在於可靠的互通性，這成為採用 USB 的基本原則。為了因應此一基本要求，USB 組織開發了音訊裝置類別（Audio Devices Class），為 USB 音訊傳輸制訂非常可靠的標準化機制。USB 音訊裝置類別標準可從 USB 開發者論壇（www.usb.org）免費下載。

在USB上傳音訊資料串流面臨的主要問題之一是主機（Source）與裝置（Sink）之間的不同步，透過在「同步傳輸」型態上開發穩固的同步模式可解決這一問題，並被納入USB標準。音訊裝置類別定義遵循該同步模式，能可靠的在匯流排上傳音訊資料。然而，這種同步機制的實現並不輕鬆，在傳統實現上需要具有複雜資料轉換能力的高階嵌入式系統，或支援系統所需時脈精度的專用鎖相迴路（PLL）。

在具有48kHz資料取樣率的系統中，主機每毫秒發送一個包含48個類比輸出取樣值的封包。接收器需要緩衝音訊輸出資料，這樣能夠一次發送一個取樣值到DAC。主機和裝置之間的任何時脈不匹配（即使只是輕微的）將會導致發生溢位（overrun）或資料不足（underrun）問題。USB標準定義了幾種方法，用於克服主機/裝置時脈不匹配問題。

USB定義Source和Sink之間操作的管理模式，如表1所示。（對於音訊輸出來說，主機是Source，裝置是Sink。對於音訊輸入來說，裝置是Source，主機是Sink。）

Mode	Source	Sink
Asynchronous	Free running clock Provides implicit feedforward to the sink	Free running clock Provides explicit feedback to the source
Synchronous	Clock locked to USB SOF Uses implicit feedback	Clock locked to the USB SOF Uses implicit feedback
Adaptive	Clock locked to sink Uses explicit feedback	Clock locked to the data flow Uses implicit feedback

表1. USB音訊同步模式

非同步模式

對於非同步操作來說，Sink為Source提供顯性回饋。基於該回饋，Source將調整發給Sink的取樣值個數。圖1顯示類比輸出裝置的非同步模式。

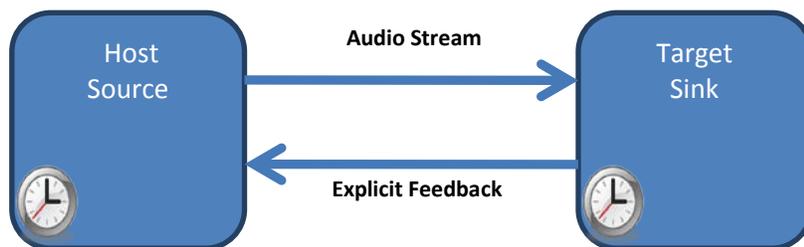


圖1. 非同步模式

此種回饋機制可克服Source/Sink時脈不匹配，而且無需Sink裝置來實現PLL硬體與主機時脈同步。

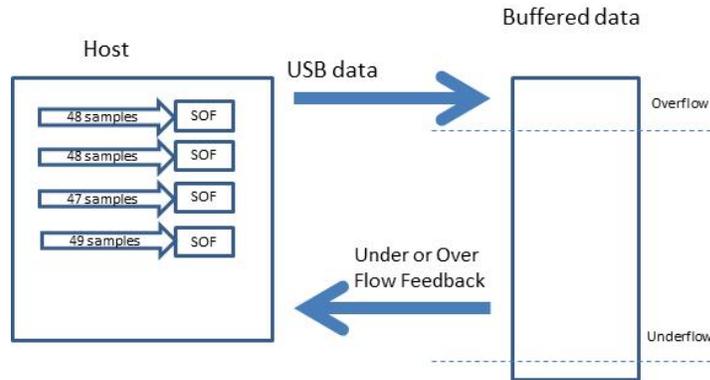


圖2. 支援非同步模式的緩衝系統

圖2顯示了支援48kHz取樣速率的緩衝系統。最初，主機在每1毫秒時，發送SOF封包，其附帶48個取樣值。然而，如果裝置緩衝區由於時脈不匹配接近滿或空的狀態時，裝置將請求主機發送更少（47）或更多（49）取樣值，由此緩衝器不會發生溢位或資料不足。Silicon Labs公司CP2114 USB-I²S數位音訊橋接晶片即可實現這種方法。CP2114元件支援音訊類別，無需任何額外的軟體發展。

同步模式

對於同步操作來說，Source和Sink採用隱式回饋機制，時脈鎖入USB SOF封包。Sink裝置必須與USB SOF封包同步，如圖3所示。



圖3. 同步模式

一個簡單而可靠的同步模式的實現方法是透過閉環控制，他能夠校正USB SOF和Sink裝置內部振盪器之間的不匹配。實現過程如圖4所示。

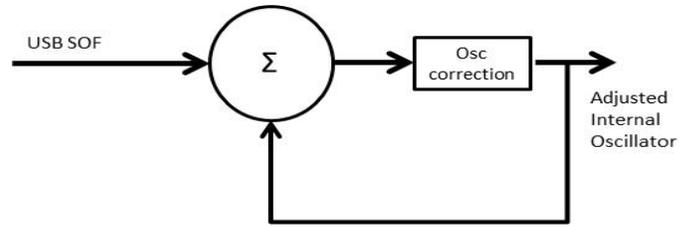


圖4. 同步模式中使用內部振盪器的閉環控制

USB SOF每毫秒由主機發送一次，用於校準內部振盪器。為了能正常工作，Sink裝置要透過校準暫存器對內部振盪器進行上下微調。CP2114數位音訊橋接晶片具備內部振盪器的動態調整能力，因而能夠實現這個功能。

CP2114音訊橋接器使開發人員可依據系統設計中的主機能力選擇同步或非同步模式。目前所有主流平台，包括：Windows、Linux、Mac OS以及用於Apple iPad的iOS等，都支援非同步模式。

標準的轉碼器/DAC 設定介面

目前領先的轉碼器和DAC供應商可提供專門方式來設定其元件能力。然而，當開發人員需要設計支援跨產品線的多種轉碼器/DAC平台時，這種元件設定間的差異將會大幅增加開發人員的軟體設計複雜度。

解決該設計難題的一種方案是提供標準的轉碼器/DAC設定介面，支援設定轉碼器/DAC的大多數典型功能。該介面能夠在轉碼器和DAC之間實現平順過渡，並可快速評估多種轉碼器/DAC功能選項。

CP2114音訊橋接晶片可支援此種介面，其使用標準設定介面支援多種轉碼器/DAC設定。表2列出CP2114標準音訊設定程式設計介面的一部分。

Byte	Name								
3	Audio_Props	Controls audio properties							
	Bit Position	7	6	5	4	3	2	1	0
	Bit Name	MB	ST	I2C_CK	I2C_PR	DRS	DVC	LJMS	AF
	MB	Mute Bit. 0: No affect 1: CP2114 will handle mute via mute bits at bytes 12,13,14,15 and 17							
	ST	Synchronization Type 0: Asynchronous. Will send feedback to USB host. 1: Synchronous. No feedback to USB host. Audio is synchronized via continuous clock adjustment of sample insert/drop, dependignon clock configuration.							
	I2C_CK	Maximum I2C clock rate supported by the DAC. 0: 400kHz 1: 100kHz							
	I2C_PR	I2C Protocol for read operations. 0: Stop 1: Repeated Start							
	DRS	DAC Register Size 0: 8 bit 1: 16 bit							
	DVC	DAC Volume Control. 0: No volume control supported by DAC 1: Volume control supported by DAC If set, the CP2114 populates volume control in the feature unit USB descriptor. If clear, 0 is specified in volume control to prevent the host from sending SET_CUR requests.							
	LJMS	I2S Mode. Only applies if using Left Justified format. 0: 16bit Left Justified Mode. 1: 24bit Left Justified Mode							
	AF	Audio Format 0: I2S format 1: Left Justified format							
4	Min_Volume	Minimum Volume in dB, 8bit signed. This corresponds to the volume control attribute MIN in USB Audio spec.							
5	Max_Volume	Maximum Volume in dB, 8bit signed. This corresponds to the volume control attribute MAX in USB Audio spec.							
6	Vol_Step	Volume Step Counts per dB. For instance, if volume resolution is 0.25 dB, 4 shall be written. A computed RES is returned in response to volume control attribute query of RES from the host.							

表2. CP2114標準音訊設定程式設計介面

CP2114晶片的標準程式設計介面可設定大多數轉碼器和DAC的通用能力，例如DAC暫存器大小、音訊格式、音量控制和音訊時脈比。此外，該介面可提供用於自訂程式設計的開放區，並且採用以簡易格式封裝大多數典型設定能力的抽象層。一旦開發人員熟悉此介面，在不同轉碼器和DAC元件間進行切換將成為一項簡單的工作。

CP2114數位音訊橋接晶片透過USB存取介面，並設定解碼器或DAC。設定過程僅需一次，設定可儲存到EPROM記憶體；同時還允許動態改變，可從主機動態存取並改變轉碼器/DAC的設定值。

結論

USB應用正逐步擴充到傳輸和控制音訊。然而在USB上傳輸音訊資料串流是一項複雜且耗時的設計工作。主要的設計難題，例如音訊資料串流同步和轉碼器/DAC設定，即使對於

最專業的嵌入式和音訊設計人員來說，也是很大挑戰。數位音訊橋接晶片，例如CP2114，透過提供無需軟體發展的隨插即用解決方案可大幅降低設計複雜度。新型數位音訊橋接晶片解決方案透過標準的設定介面，即可支援多種轉碼器和DAC，進一步以最少的外部元件數量支援非同步和同步操作模式，同時無需諸如石英振盪器和EEPROM等外部元件。

#

Silicon Labs致力於投資研究與開發，以幫助我們的客戶採用創新的低功耗、小尺寸、類比密集型混合訊號解決方案開發差異化的市場產品。Silicon Labs廣泛的專利組合證明我們具有獨特的發展方式和世界一流工程團隊。專利查詢：www.silabs.com/patent-notice。

© 2012 Silicon Laboratories Inc.、ClockBuilder、DSPLL、Ember、EZMac、EZRadio、EZRadioPRO、EZLink、ISOModem、Precision32、ProSLIC、QuickSense、Silicon Laboratories和Silicon Labs 標示是Silicon Laboratories Inc.的商標或註冊商標。ARM和Cortex-M3是ARM 控股公司的商標或註冊商標。ZigBee是ZigBee Alliance, Inc.的註冊商標。所有其他產品名稱可能各自屬於對應公司的商標。